

אלקטרוניקה ומחשבים

שתי יחידות לימוד (השלמה לחמש יחידות לימוד)

(כיתה י"ב)

הוראות לנבחן

א. משך הבחינה: שלוש שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון שני פרקים, ובהם תשע שאלות. יש לענות על חמש שאלות בלבד, שאלה אחת לפחות מכל פרק. לכול שאלה – 20 נקודות. סך-הכול – 100 נקודות.

ג. חומר עזר מותר לשימוש: מחשבון.

ד. הוראות מיוחדות:

- ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות עודפות.
- אין צורך להעתיק את השאלה שבחרת למחברתך, די לרשום את מספרה ולענות עליה.
- כל תשובה לשאלה חדשה יש להתחיל בעמוד חדש.
- אם לדעתך חסרים נתונים הדרושים לפתרון השאלה, הינך רשאי לקבוע אותם, בתנאי שתנמק את קביעתך.
- בכתיבת פתרונות לתרגילים חישוביים, קבלת מִרְב הנקודות מותנית בהקפדה על השלמת כל המהלכים הבאים, בסדר שבו הם רשומים:
 - * רישום הנוסחה המתאימה.
 - * הצבה (כל הערכים ביחידות המתאימות).
 - * חישוב (אפשר באמצעות מחשבון).
 - * רישום התוצאה המתקבלת, ולצדה יחידות המידה המתאימות. תתקבלנה תוצאות עם דיוק של שתי ספרות משמעותיות אחרי הנקודה.
 - * יש ללוות כל פתרון של שאלה בהסבר קצר, בהתאם לנסיבות.
- יש להקפיד ולרשום את כל התשובות אַךְ ורק בעט (כדורי או נובע), ולא בעיפרון.
- הקפד לנסח את תשובותיך וסרטט את תרשימיך כהלכה. כתוב את תשובותיך בכתב-יד ברור, קריא ונקי. גם בכך תלויה הערכת תשובותיך.

בשאלון 7 עמודים ו-27 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר, אך מכוונות לנבחנות ולנבחנים כאחד.

בהצלחה!

השאלות

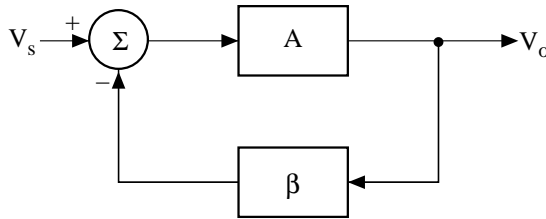
בשאלון שני פרקים ובהם תשע שאלות. יש לענות על חמש שאלות בלבד, שאלה אחת לפחות מכל פרק.

פרק ראשון: אלקטרוניקה תקבילית

ענה על שאלה אחת לפחות מבין השאלות 1-5 (לכל שאלה – 20 נקודות).

שאלה 1

באיור לשאלה 1 נתון תרשים מלבנים של מערכת הכוללת משוב שלילי:



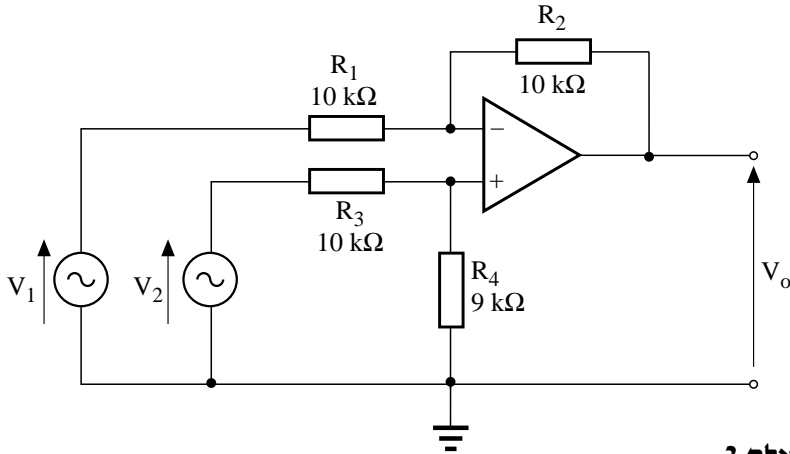
איור לשאלה 1

א. חשב את הגבר המתח, $\frac{V_o}{V_s}$, כאשר: $A = 100$, $\beta = 0.1$.

ב. הסבר את ההשפעה של משוב שלילי על התכונות הבאות של **מגבר מתח**: התנגדות המבוא, התנגדות המוצא, רוחב הפס.

שאלה 2

באיור לשאלה 2 נתון תרשים של מגבר הפרש הממומש באמצעות מגבר שרת אידיאלי:



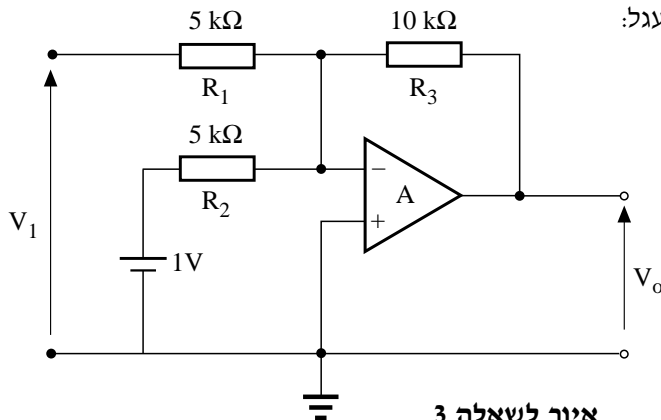
איור לשאלה 2

א. בטא את מתח המוצא של המגבר, V_o , בתלות במתחי המבוא V_1 ו- V_2 .

ב. חשב את יחס דחיית האות המשותף (CMRR) של המגבר.

שאלה 3

באיור לשאלה 3 נתון תרשים של מעגל:



איור לשאלה 3

המגבר A הוא מגבר שרת אידיאלי.

א. חשב את עוצמת המתח V_1 , וציין את קוטביותו, כאשר מתח המוצא, V_o , הוא $5 V_{DC}$.

ב. סרטט את מתח המוצא, V_o , ואת מתח המבוא, V_1 , בתלות בזמן, כאשר V_1 נתון על-ידי

$$V_1(t) = 1 \cdot \sin 628t.$$

שאלה 4

בנספח לשאלה 4 נתונים דפי מפרט של הרכיב 723.

א. הסבר את המבנה הפנימי של הרכיב 723, על-פי התרשים העקרוני שבעמוד 2 בנספח.

ב. עליך לתכנן מייצב מתח ל- 14 V , עם הגבלת זרם ל- 0.1 A , באמצעות הרכיב 723. סרטט את תרשים החיבורים של מייצב המתח, וחשב את ערכי הנגדים.

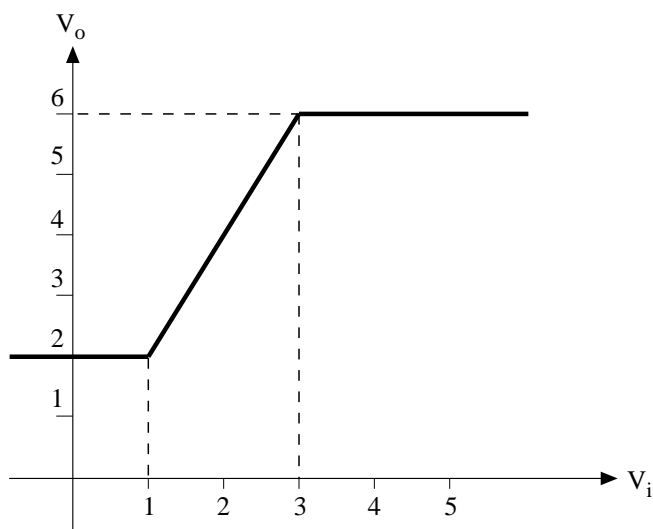
$$\text{נתון כי: } I_{SC} \cong \frac{0.65}{R_{SC}} .$$

שאלה 5

באיור לשאלה 5 נתון אופיין מעבר של מגבר.

א. במבוא המגבר, V_i , מספקים מתח סינוסי בעל תנופה של 3 V (6 V שיא לשיא). סרטט את מתח המבוא, V_i , ואת מתח המוצא, V_o , בתלות בזמן, זה מתחת לזה. ציין בסרטוט את הערך המזערי ואת הערך המרבי של מתח המוצא, V_o .

ב. סרטט את המתח הסינוסי, V_i , כולל רכיב ה-DC, שיש לספק במבוא המגבר כדי לקבל מתח מוצא מרבי, ללא עיוותים. ציין בסרטוט את הערך המזערי ואת הערך המרבי של מתח המבוא, V_i .



איור לשאלה 5

פרק שני: מחשבים ומיקרו מעבדים

ענה על שאלה אחת לפחות מבין השאלות 6-9 (לכל שאלה – 20 נקודות).

שאלה 6

נתון בלוק נתונים שכתובת ההתחלה שלו היא 800H וגודלו 30H בתים. הערך של כל נתון ביזכרון אינו עולה על FFH.

כתוב תת-שגרה בשפת ASM-86 שתמנה את המספרים שערכם קטן מ-39H, ותאחסן את התוצאה בתא שכתובתו 900H.

שאלה 7

לפניך תת-שגרה הכתובה בשפת ASM-86:

```

1   P1:   PUSH  SI
2           PUSH  CX
3           MOV   SI, 100H
4           MOV   CX, 9H
5           MOV   AL, 90H
6   P2:   MOV   [SI], AL
7           SUB   AL, 10H
8           INC   SI
9           DEC   CX
10          JNZ   P2
11          POP   CX
12          POP   SI
13          RET

```

א. הסבר את ההוראות שמספריהן: 6, 7, 10.

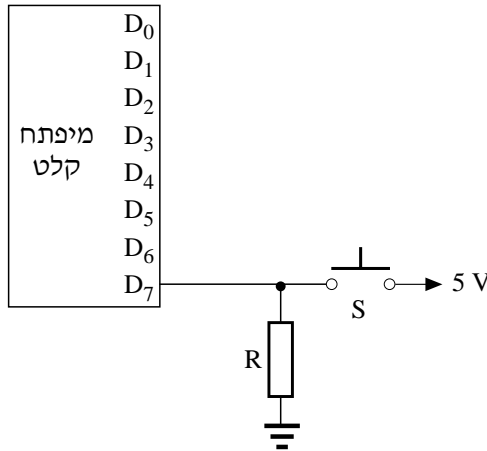
ב. הסבר את תפקידה של תת-השגרה הנתונה.

ג. הסבר את תפקידן של ההוראות PUSH ו-POP בתת-השגרה הנתונה.

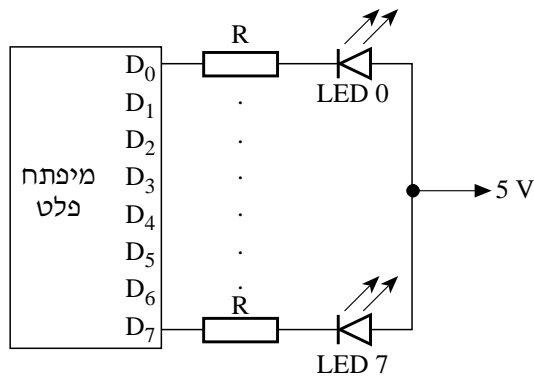
המשך בעמוד 6

שאלה 8

באיור א' לשאלה 8 נתון תרשים של מיפתח קלט שכתובתו 40H, ובאיור ב' לשאלה 8 נתון תרשים של מיפתח פלט שכתובתו 41H :



איור א' לשאלה 8

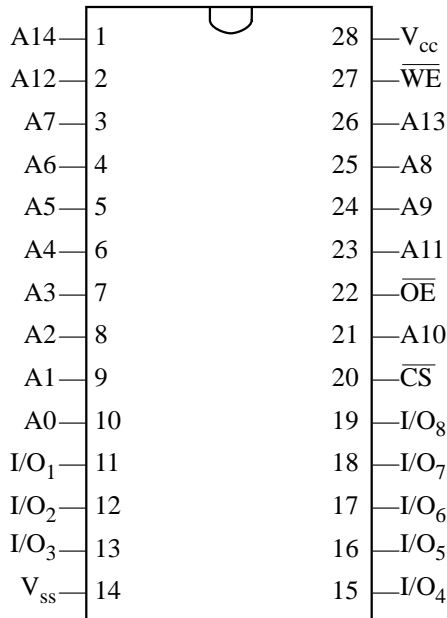


איור ב' לשאלה 8

כתוב תת-השגרה שבודקת את מצבו של הלחצן S: אם הלחצן S סגור – תת-השגרה מדליקה את נוריות ה-LED המחוברות לקווים $D_7 \div D_4$; אם הוא פתוח – תת-השגרה מדליקה את נוריות ה-LED המחוברות לקווים $D_3 \div D_0$.

שאלה 9

א. באיור לשאלה 9, סעיף א', נתון תרשים של רכיב זיכרון:



איור לשאלה 9, סעיף א'

- מהו סוג רכיב הזיכרון, RAM, ROM או EPROM? נמק את תשובתך.
- מהו גודל הזיכרון ב-kB?
- הסבר את תפקידם של ההדקים \overline{OE} ו- \overline{CS} של רכיב הזיכרון.

- ב.
- הסבר מדוע קווי הכתובת\מידע במעבד 8088 הם קווים מרובבים.
 - בנספח לשאלה 9 נתונים דפי המפרט של הרכיב 54ABT373. סרטט תרשים חיבורים להפרדת קווי הכתובת מקווי הכתובת\מידע המרובבים של המעבד 8088, בעזרת הרכיב 54ABT373.

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.
אין להעתיק או לפרסם אלא ברשות משרד החינוך.

אין להעביר את
הנוסחאון לנבחן אחר

נוסחאון באלקטרוניקה ומחשבים (18 עמודים)

לרמות א' – ב'

1. נוסחאות במקצוע אלקטרוניקה תקבילית

חישובי הגבר

הגבר מתח – A_V

מתח מוצא – V_o [V]

מתח מבוא – V_i [V]

$$A_V = \frac{V_o}{V_i}$$

הגבר מתח בדציבלים – A_V [dB]

$$A_V = 20 \log \frac{V_o}{V_i}$$

הגבר זרם – A_I

זרם מוצא – I_o [A]

זרם מבוא – I_i [A]

$$A_I = \frac{I_o}{I_i}$$

הגבר זרם בדציבלים – A_I [dB]

$$A_I = 20 \log \frac{I_o}{I_i}$$

הגבר הספק – A_P

הספק מוצא – P_o [W]

הספק מבוא – P_i [W]

נגד עומס – R_L [Ω]

התנגדות מבוא – R_i [Ω]

$$A_P = \frac{P_o}{P_i} = A_V \cdot A_I = A_I^2 \cdot \frac{R_L}{R_i} = A_V^2 \cdot \frac{R_i}{R_L}$$

הגבר הספק בדציבלים — A_p [dB]

$$A_p = 10 \log \frac{P_o}{P_i}$$

הגבר כולל של N דרגות
המחוברות בשרשרת (קסקדה)

$$A_{VT} = A_{V1} \cdot A_{V2} \cdot A_{V3} \dots A_{VN}$$

$$A_{VT}(\text{dB}) = A_{V1}(\text{dB}) + A_{V2}(\text{dB}) + A_{V3}(\text{dB}) + \dots + A_{VN}(\text{dB})$$

הגבר כולל בדציבלים של N
דרגות המחוברות בשרשרת
(קסקדה)

מאזן הספקים

הספק מבוא — P_I [W]

$$P_I + P_{CC} = P_L + P_{diss}$$

הספק נצרך מהספקים — P_{CC} [W]

הספק העומס — P_L [W]

הספק מבוזבז — P_{diss} [W]

משוב שלילי

הגבר עם משוב (בחוג סגור) — A_f

$$A_f = \frac{A}{1 + \beta A}$$

הגבר ללא משוב (הגבר חוג פתוח) — A

מקדם משוב — β

דיודה

זרם הדיודה — I_D [A]

$$I_D = I_S (e^{V_D / \eta V_T} - 1)$$

מתח הדיודה — V_D [A]

זרם רוויה אחורני — I_S [A]

מקדם $\eta = \begin{cases} 1 - G_e & \text{(גרמניום)} \\ 2 - S_i & \text{(סיליקון)} \end{cases}$

טמפרטורה — T [°K]

$$V_T = \frac{T}{11,600}$$

טרנזיסטור דו-נושאי (בתחום פעיל)

(בהזנת זרם זליגה I_{CBO})

זרם קולט — I_C [A] $I_C = \beta I_B$, $I_E = (\beta + 1) I_B$, $I_E = I_C + I_B$

זרם פולט — I_E [A]

זרם בסיס — I_B [A]

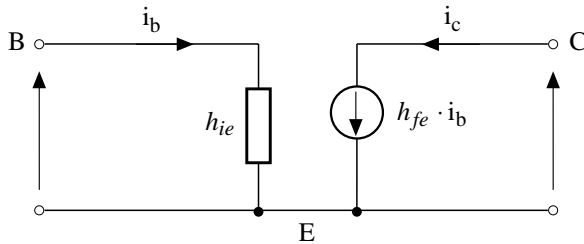
$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1} , \quad \beta = \frac{\alpha}{1 - \alpha}$$

(בהתחשב בזרם הזליגה I_{CBO})

I_{CBO} [A] — זרם זליגה בין קולט לבסיס
כאשר הפולט פתוח.

$$I_C = \beta I_B + (\beta + 1) I_{CBO}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי

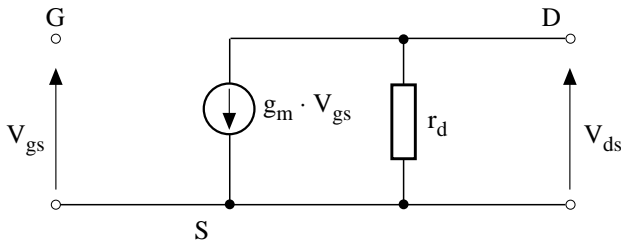


	CE	CE עם נגד R_E
A_I	h_{fe}	h_{fe}
R_i	h_{ie}	$h_{ie} + (1 + h_{fe})R_E$
A_V	$-\frac{h_{fe} \cdot R_L}{h_{ie}}$	$-\frac{h_{fe} \cdot R_L}{R_i}$
R_o	∞	∞

טרנזיסטור FET

זרם אפיק	– I_D [A]	$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$
מתח בין השער למקור	– V_{GS} [V]	
מתח צביטה	– V_p [V]	
$V_{GS} = 0$ זרם האפיק עבור	– I_{DSS} [A]	
מוליכות החדית	– g_m $\left[\frac{1}{\Omega} \right]$	$g_m = \frac{2I_{DSS}}{ V_p } \left(1 - \frac{V_{GS}}{V_p} \right)$
$V_{GS} = 0$ מוליכות החדית עבור	– g_{m0} $\left[\frac{1}{\Omega} \right]$	$g_{m0} = \frac{2I_{DSS}}{ V_p }$

תרשים תמורה מקורב של טרנזיסטור תוצא שדה – FET

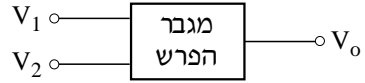


הגבר הטרנזיסטור בחיבור CS (מקור משותף)	– A_V	$A_V = -g_m \cdot (r_d R_L)$
הגבר הטרנזיסטור בחיבור CD (מפק משותף)	– A_V	$A_V \approx \frac{g_m \cdot R_s}{1 + (g_m + g_d) R_s}$
נגד בטור למקור	– R_S $[\Omega]$	$g_d = \frac{1}{r_d}$

מגבר הפרש

- הפרש מתחי המבוא — V_d [V]
- ממוצע מתחי המבוא — V_c [V]
- הגבר הפרשי — A_d
- הגבר האות המשותף — A_c

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$



כאשר $V_1 = -V_2 = V_i$

$$A_d = \frac{V_o}{V_d} \Big|_{V_c=0} = \frac{V_o}{2V_i}$$

כאשר $V_1 = V_2 = V_i$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d=0} = \frac{V_o}{V_i}$$

יחס דחיית האות המשותף — CMRR

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

מגברי הספק

$$P_L = V_{Leff} \cdot I_{Leff} = \frac{V_{Lmax} \cdot I_{Lmax}}{2} = \frac{V_{Leff}^2}{R_L} = I_{Leff}^2 \cdot R_L$$

- הספק העומס — P_L [W]
- מתח יעיל על העומס — V_{Leff} [V]
- זרם יעיל בעומס — I_{Leff} [A]
- מתח עומס שיאי — V_{Lmax} [V]
- זרם עומס שיאי — I_{Lmax} [A]
- נגד עומס — R_L [Ω]

ההספק הנצרך מהספק – P_{CC} [W]

$$P_{CC} = V_{CC} \cdot I_{av}$$

הזרם הממוצע – I_{av} [V]

מתח המקור – V_{CC} [V]

הזרם הממוצע של גל פועם – I_{av} [A]

$$I_{av} = \frac{2I_{max}}{\pi}$$

זרם שיא – I_{max} [A]

הספק מבזבז בטרניזסטור – P_D [W]

$$P_D = P_{cc} - P_L$$

נצילות – η

$$\eta = \frac{P_L}{P_{cc}}$$

מתח שיא – V_{max}

$$\eta = \frac{\pi}{4} \cdot \frac{V_{max}}{V_{CC}}$$

נצילות במגבר הספק מסוג

CLASS B

הספק פיזור מרבי ב-2 – P_{Cmax} [W]

$$P_{Cmax} = \frac{2 V_{CC}^2}{\pi^2 R_L}$$

הטרניזסטורים במגבר מסוג

CLASS B

מתנד גשר ויין

תדר התנודות – f_o [Hz]

$$f_o = \frac{1}{2\pi R \cdot C}$$

הגבר המתח – A_V

$$A_V \geq 3$$

2. אוסף פקודות למיקרומעבדים *8086/88

ADC	ADC destination, source Add with carry			Flags O D I T S Z A P C X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	ADC AX, SI
register, memory	9(10)+EA	1	2-4	ADC CX, BETA [SI]
memory, register	16(10)+EA	2	2-4	ADC ALPHA [BX] [SI], DI
register, immediate	4(4)	—	3-4	ADC BX, 256
memory, immediate	17(16)+EA	2	3-6	ADC GAMMA, 30H
accumulator, immediate	4(3-4)	—	2-3	ADC AL, 5

ADD	ADD destination, source Addition			Flags O D I T S Z A P C X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	ADD CX, DX
register, memory	9(10)+EA	1	2-4	ADD DI, [BX].ALPHA
memory, register	16(10)+EA	2	2-4	ADD TEMP, CL
register, immediate	4(4)	—	3-4	ADD CL, 2
memory, immediate	17(16)+EA	2	3-6	ADD ALPHA, 2
accumulator, immediate	4(3-4)	—	2-3	ADD AX, 200

AND	AND destination, source Logical and			Flags O D I T S Z A P C O X X U X O
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	AND AL, BL
register, memory	9(10)+EA	1	2-4	AND CX, FLAG_WORD
memory, register	16(10)+EA	2	2-4	AND ASCII [DI], AL
register, immediate	4(4)	—	3-4	AND CX, 0F0H
memory, immediate	17(16)+EA	2	3-6	AND BETA, 01H
accumulator, immediate	4(3-4)	—	2-3	AND AX, 01010000B

* מקרא לאוגר הדגלים:

- 0 – מתאפס
- 1 – מקבל "1"
- X – מושפע מהפעולה
- U – לא מוגדר אחרי הפעולה (Undefined)
- R – מוחזר לערכו הקודם

CALL	CALL target Call a procedure			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
near-proc	19(14)	1	3	CALL NEAR_PROC
far-proc	28(23)	2	5	CALL FOR_PROC
memptr 16	21(19)+EA	2	2-4	CALL PROC_TABLE [SI]
regptr 16	16(13)	1	2	CALL AX
memptr 32	37(38)+EA	4	2-4	CALL [BX] TASK [SI]

CLC	CLC (no operands) Clear carry flag			Flags O D I T S Z A P C O
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLC

CLI	CLI (no operands) Clear interrupt flag			Flags O D I T S Z A P C O
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLI

CMP	CMP destination, source Compare destination to source			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	CMP BX, CX
register, memory	9(10)+EA	1	2-4	CMP DH, ALPHA
memory, register	9(10)+EA	1	2-4	CMP [BP+2], SI
register, immediate	4(3)+EA	—	3-4	CMP BL, 02H
memory, immediate	10(10)+EA	1	3-6	CMP [BX].RADAR [DI], 3420H
accumulator, immediate	4(3-4)	—	2-3	CMP AL, 00010000B

CMPS	CMPS des-string, source-string Compare string			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
dest-string, source-string (repeat)	22(22)	2	1	CMPS BUSS1, BUFF2
dest-string, source-string	9+22/rep (5+22/rep)	2/rep	1	REPE CMPS ID, KEY

DAA	DAA (no operands) Decimal adjust for addition			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAA

DAS	DAS (no operands) Decimal adjust for subtraction			Flags O D I T S Z A P C U X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAS

DEC	DEC destination Decrement by 1			Flags O D I T S Z A P C X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	DEC AX
reg 8	3(3)	—	2	DEC AL
memory	15(15)+EA	2	2-4	DEC ARRAY [SI]

DIV	DIV source Division, unsigned			Flags O D I T S Z A P C U U U U U U
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	80-90(29)	—	2	DIV CL
reg 16	144-162(38)	—	2	DIV BX
mem 8	86-96+EA (35)	1	2-4	DIV ALPHA
mem 16	150-168+ EA(94)	1	2-4	DIV TABLE [SI]
IN	IN accumulator, port Input byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, immed 8	10(10)	1	2	IN AL, 0FEH
accumulator, DX	8(8)	1	1	IN AX, DX
INC	INC destination Increment by 1			Flags O D I T S Z A P C X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	INC CX
reg 8	3(3)	—	2	INC BL
memory	15(15)+EA	2	2-4	INC ALPHA [DI] [BX]
INT	INT interrupt-type Interrupt			Flags O D I T S Z A P C O O
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8 (type=3)	52(45)	5	1	INT 3
immed 8 (type≠3)	52(47)	5	2	INT 67
IRET	IRET (no operands) Interrupt Return			Flags O D I T S Z A P C R R R R R R R R
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	32(28)	3	1	IRET

JC	JC short-label Jump if carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JC CARRY_SET

JE/JZ	JE/JZ short-label Jump if equal/Jump if zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JZ ZERO

JMP	JMP target Jump			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	15(13)	—	2	JMP SHORT
near-label	15(13)	—	3	JMP WITHIN_SEGMENT
far-label	15(13)	—	5	JMP FAR_LABEL
memptr 16	18(17)+EA	1	2-4	JMP [BX] TARGET
regptr 16	11(11)	—	2	JMP CX
memptr 32	24(26)+EA	2	2-4	JMP OTHER.SEG [SI]

JNC	JNC short-label Jump if not carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNC NOT_CARRY

JNE/JNZ	JNE/JNZ short-label Jump if not equal/Jump if not zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNE NOT_EQUAL

LEA	LEA destination, source Load effective address			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16, mem 16	2(6)+EA	—	2-4	LEA BX, [BP] [DI]

LOOP	LOOP short-label Loop			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short label	17/5(15/5)	—	2	LOOP AGAIN

MOV	MOV destination, source Move			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
memory, accumulator	10(9)	1	3	MOV ARRAY [SI], AL
accumulator, memory	10(8)	1	3	MOV AX, TEMP_RESULT
register, register	2(2)	—	2	MOV AX, CX
register, memory	8(12)+EA	1	2-4	MOV BP, STACK_TOP
memory, register	9(9)+EA	1	2-4	MOV COUNT [DI], CX
register, immediate	4(3-4)	—	2-3	MOV CL, 2
memory, immediate	10(12-13) +EA	1	3-6	MOV MASK [BX] [SI], 2CH
seg-reg, reg 16	2(2)	—	2	MOV ES, CX
seg-reg, mem 16	8(9)+EA	1	2-4	MOV DS, SEGMENT_BASE
reg 16, seg-reg	2(2)	—	2	MOV BP, SS
memory, seg-reg	9(11)+EA	1	2-4	MOV [BX] SEG_SAVE, CS

MOVS/MOVSW	MOVS/MOVSW (no operands) Move string (byte/word)			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	18(9)	2	1	MOVS
(repeat) (no operands)	9+17/rep (8+8/rep)	2/rep	1	REP MOVSW

MUL	MUL source Multiplication, unsigned			Flags O D I T S Z A P C X U U U X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	70-77 (26-28)	—	2	MUL BL
reg 16	118-133 (35-37)	—	2	MUL CX
mem 8	76-83+ EA(32-34)	1	2-4	MUL MONTH [SI]
mem 16	124-139+ EA(41-43)	1	2-4	MUL BAUD_RATE

NOP	NOP (no operands) No Operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	3(3)	—	1	NOP

NOT	NOT destination Logical not			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	3(3)	—	2	NOT AX
memory	16(3)+EA	2	2-4	NOT CHARACTER

OR	OR destination, source Logical inclusive or			Flags O D I T S Z A P C O X X U X O
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	OR AL, BL
register, memory	9(10)+EA	1	2-4	OR DX, PORT_ID [DI]
memory, register	16(10)+EA	2	2-4	OR FLAG_BYTE, CL
accumulator, immediate	4(3-4)	—	2-3	OR AL, 01101100B
register, immediate	4(4)	—	3-4	OR CX, 01H
memory, immediate	17(16)+EA	2	3-6	OR [BX].CMD_WORD, 0CFH

OUT	OUT port, accumulator Output byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8, accumulator	10(9)	1	2	OUT 44, AX
DX, accumulator	8(7)	1	1	OUT DX, AL

POP	POP destination Pop word off stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	8(10)	1	1	POP DX
seg-reg (CS illegal)	8(8)	1	1	POP DS
memory	17(20)+EA	2	2-4	POP PARAMETER

PUSH	PUSH source Push word onto stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	11(10)	1	1	PUSH SI
seg-reg (CS legal)	10(9)	1	1	PUSH ES
memory	16(16)+EA	2	2-4	PUSH RETURN_CODE [SI]

RCL	RCL destination, count Rotate left through carry			Flags O D I T S Z A P C X C
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCL CX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCL AL, CL
memory, 1	15(15)+EA	2	2-4	RCL ALPHA, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCL [BP].PARAM, CL
register, n	(5+1/Bit)	—	3	RCL CX, 5
memory, n	(17+1/bit)	2	3-5	RCL ALPHA, 5

RCR	RCR destination, count Rotate right through carry			Flags O D I T S Z A P C X C
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCR BX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCR BL, CL
memory, 1	15(15)+EA	2	2-4	RCR [BX].STATUS, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCR ARRAY [DI], CL
register, n	(5+1/bit)	—	3	RCR BX, 5
memory, n	(17+1/bit)	2	3-5	RCR ALPHA, 5

REP	REP (no operands) Repeat string operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	REP MOVSB DEST, SRCE

RET	RET optional-pop-value Return from procedure			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(intra-segment, no pop)	16(16)	1	1	RET
(intra-segment, pop)	20(18)	1	3	RET 4
(inter-segment, no pop)	26(22)	2	1	RET
(inter-segment, pop)	25(25)	2	3	RET 2

ROL	ROL destination, count Rotate left			Flags	O D I T S Z A P C X X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, 1	2(2)	—	2	ROL BX, 1	
register, CL	8+4/ bit(5+1/bit)	—	2	ROL DI, CL	
memory, 1	15(15)+EA	2	2-4	ROL FLAG_BYTE [DI], 1	
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROL ALPHA, CL	
register, n	(5+1/bit)	—	3	ROL BX, 5	
memory, n	(17+1/bit)	2	3-5	ROL BETA, 5	

ROR	ROR destination, count Rotate right			Flags	O D I T S Z A P C X X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, 1	2(2)	—	2	ROR BX, 1	
register, CL	8+4/ bit(5+1/bit)	—	2	ROR BX, CL	
memory, 1	15(15)+EA	2	2-4	ROR PORT_STATUS, 1	
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROR CMD_WORD, CL	
register, n	(5+1/bit)	—	3	ROR BX, 5	
memory, n	(17+1/bit)	2	3-5	ROR BETA, 5	

SBB	SBB destination, source Subtract with borrow			Flags	O D I T S Z A P C X X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, register	3(3)	—	2	SBB BX, CX	
register, memory	9(10)+EA	1	2-4	SBB DI, [BX].PAYMENT	
memory, register	16(10)+EA	2	2-4	SBB BALANCE, AX	
accumulator, immediate	4(3-4)	—	2-3	SBB AX, 2	
register, immediate	4(4)	—	3-4	SBB CL, 1	
memory, immediate	17(16)+EA	2	3-6	SBB COUNT [SI], 10	

STC	STC (no operands) Set carry flag			Flags O D I T S Z A P C C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STC

STI	STI (no operands) Set interrupt enable flag			Flags O D I T S Z A P C 1
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STI

SUB	SUB destination,source Subtraction			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	SUB CX, BX
register, memory	9(10)+EA	1	2-4	SUB DX, MATH_TOTAL [SI]
memory, register	16(10)+EA	2	2-4	SUB [BP+2], CL
accumulator, immediate	4(3-4)	—	2-3	SUB AL, 10
register, immediate	4(4)	—	3-4	SUB SI, 5280
memory, immediate	17(16)+EA	2	3-6	SUB [BP].BALANCE, 1000

TEST	TEST destination, source Test or non-destructive logical and			Flags O D I T S Z A P C X X U X O
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	TEST SI, DI
register, memory	9(10)+EA	1	2-4	TEST SI, END_COUNT
accumulator, immediate	4(3-4)	—	2-3	TEST AL, 00100000B
register, immediate	5(4)	—	3-4	TEST BX, 0CC4H
memory, immediate	11(10)+EA	—	3-6	TEST RETURN_COUNT, 01H

XCHG	XCHG destination, source Exchange			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, reg 16	3(3)	—	1	XCHG AX, BX
memory, register	17(17)+EA	2	2-4	XCHG SEMAPHORE, AX
register, register	4(4)	—	2	XCHG AL, BL

XLAT	XLAT source-table Translate			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
source-table	11(11)	1	1	XLAT ASCII_TAB

XOR	XOR destination, source Logical exclusive or			Flags O D I T S Z A P C X X X U X O
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	XOR CX, BX
register, memory	9(10)+EA	1	2-4	XOR CL, MASK_BYTE
memory, register	16(10)+EA	2	2-4	XOR ALPHA [SI], DX
accumulator, immediate	4(3-4)	—	2-3	XOR AL, 01000010B
register, immediate	4(4)	—	3-4	XOR SI, 00C2H
memory, immediate	17(16)+EA	2	3-6	XOR RETURN_CODE, 0D2H

LM723/LM723C

Voltage Regulator

General Description

The LM723/LM723C is a voltage regulator designed primarily for series regulator applications. By itself, it will supply output currents up to 150 mA; but external transistors can be added to provide any desired load current. The circuit features extremely low standby current drain, and provision is made for either linear or foldback current limiting.

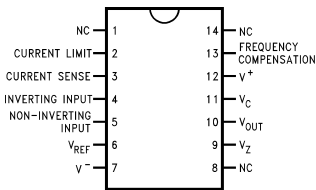
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Features

- 150 mA output current without external pass transistor
- Output currents in excess of 10A possible by adding external transistors
- Input voltage 40V max
- Output voltage adjustable from 2V to 37V
- Can be used as either a linear or a switching regulator

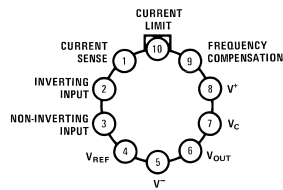
Connection Diagrams

Dual-In-Line Package


DS008563-2

Top View

Order Number LM723J/883 or LM723CN
See NS Package J14A or N14A

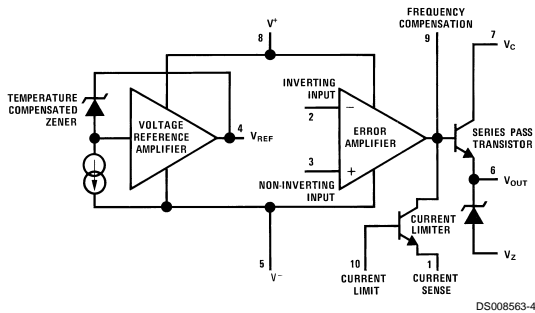
Metal Can Package


DS008563-3

Note: Pin 5 connected to case.

Top View

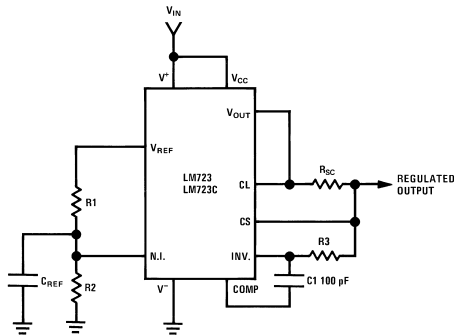
Order Number LM723H, LM723H/883 or LM723CH
See NS Package H10C



DS008563-4

*Pin numbers refer to metal can package.

Typical Application



DS008563-8

$$\text{Note: } R3 = \frac{R1 R2}{R1 + R2}$$

for minimum temperature drift.

Typical Performance

Regulated Output Voltage	5V
Line Regulation ($\Delta V_{IN} = 3V$)	0.5mV
Load Regulation ($\Delta I_L = 50 \text{ mA}$)	1.5mV

FIGURE 1. Basic Low Voltage Regulator
($V_{OUT} = 2 \text{ to } 7 \text{ Volts}$)

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 10)

Pulse Voltage from V^+ to V^- (50 ms)	50V
Continuous Voltage from V^+ to V^-	40V
Input-Output Voltage Differential	40V
Maximum Amplifier Input Voltage (Either Input)	8.5V
Maximum Amplifier Input Voltage (Differential)	5V
Current from V_Z	25 mA
Current from V_{REF}	15 mA
Internal Power Dissipation Metal Can (Note 2)	800 mW

Cavity DIP (Note 2)	900 mW
Molded DIP (Note 2)	660 mW
Operating Temperature Range	
LM723	-55°C to +150°C
LM723C	0°C to +70°C
Storage Temperature Range	
Metal Can	-65°C to +150°C
Molded DIP	-55°C to +150°C
Lead Temperature (Soldering, 4 sec. max.)	
Hermetic Package	300°C
Plastic Package	260°C
ESD Tolerance	1200V
(Human body model, 1.5 kΩ in series with 100 pF)	

Electrical Characteristics (Note 3) (Note 10)

Parameter	Conditions	LM723			LM723C			Units
		Min	Typ	Max	Min	Typ	Max	
Line Regulation	$V_{IN} = 12V$ to $V_{IN} = 15V$		0.01	0.1		0.01	0.1	% V_{OUT}
	$-55^\circ C \leq T_A \leq +125^\circ C$			0.3				% V_{OUT}
	$0^\circ C \leq T_A \leq +70^\circ C$						0.3	% V_{OUT}
	$V_{IN} = 12V$ to $V_{IN} = 40V$		0.02	0.2		0.1	0.5	% V_{OUT}
Load Regulation	$I_L = 1$ mA to $I_L = 50$ mA		0.03	0.15		0.03	0.2	% V_{OUT}
	$-55^\circ C \leq T_A \leq +125^\circ C$			0.6				% V_{OUT}
	$0^\circ C \leq T_A \leq +70^\circ C$						0.6	% V_{OUT}
Ripple Rejection	$f = 50$ Hz to 10 kHz, $C_{REF} = 0$		74			74		dB
	$f = 50$ Hz to 10 kHz, $C_{REF} = 5$ μF		86			86		dB
Average Temperature Coefficient of Output Voltage (Note 8)	$-55^\circ C \leq T_A \leq +125^\circ C$		0.002	0.015				%/°C
	$0^\circ C \leq T_A \leq +70^\circ C$					0.003	0.015	%/°C
Short Circuit Current Limit	$R_{SC} = 10\Omega$, $V_{OUT} = 0$		65			65		mA
Reference Voltage		6.95	7.15	7.35	6.80	7.15	7.50	V
Output Noise Voltage	$BW = 100$ Hz to 10 kHz, $C_{REF} = 0$		86			86		μVrms
	$BW = 100$ Hz to 10 kHz, $C_{REF} = 5$ μF		2.5			2.5		μVrms
Long Term Stability			0.05			0.05		%/1000 hrs
Standby Current Drain	$I_L = 0$, $V_{IN} = 30V$		1.7	3.5		1.7	4.0	mA
Input Voltage Range		9.5		40	9.5		40	V
Output Voltage Range		2.0		37	2.0		37	V
Input-Output Voltage Differential		3.0		38	3.0		38	V
θ_{JA}	Molded DIP					105		°C/W
θ_{JA}	Cavity DIP		150					°C/W
θ_{JA}	H10C Board Mount in Still Air		165			165		°C/W
θ_{JA}	H10C Board Mount in 400 LF/Min Air Flow		66			66		°C/W
θ_{JC}			22			22		°C/W

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 2: See derating curves for maximum power rating above 25°C.

Note 3: Unless otherwise specified, $T_A = 25^\circ C$, $V_{IN} = V^+ = V_C = 12V$, $V^- = 0$, $V_{OUT} = 5V$, $I_L = 1$ mA, $R_{SC} = 0$, $C_1 = 100$ pF, $C_{REF} = 0$ and divider impedance as seen by error amplifier ≤ 10 kΩ connected as shown in Figure 1. Line and load regulation specifications are given for the condition of constant chip temperature. Temperature drifts must be taken into account separately for high dissipation conditions.

Note 4: L_1 is 40 turns of No. 20 enameled copper wire wound on Ferroxcube P36/22-3B7 pot core or equivalent with 0.009 in. air gap.

Note 5: Figures in parentheses may be used if R1/R2 divider is placed on opposite input of error amp.

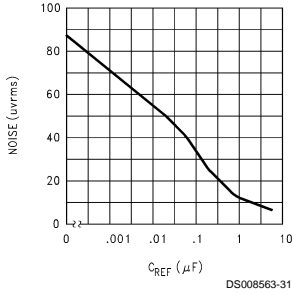
Note 6: Replace R1/R2 in figures with divider shown in Figure 13.

Note 7: V^+ and V_{CC} must be connected to a +3V or greater supply.

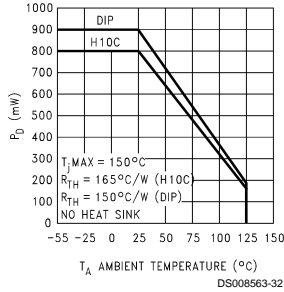
Note 8: For metal can applications where V_Z is required, an external 6.2V zener diode should be connected in series with V_{OUT} .

Maximum Power Ratings

Noise vs Filter Capacitor
(C_{REF} in Circuit of Figure 1)
(Bandwidth 100 Hz to 10 kHz)



LM723
Power Dissipation vs
Ambient Temperature



LM723C
Power Dissipation vs
Ambient Temperature

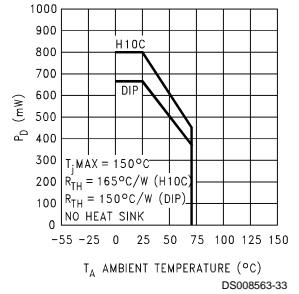


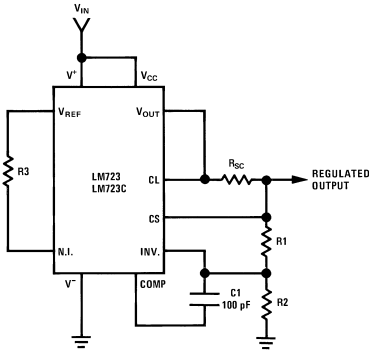
TABLE 1. Resistor Values (kΩ) for Standard Output Voltage

Positive Output Voltage	Applicable Figures (Note 5)	Fixed Output ±5%		Output Adjustable ±10% (Note 6)			Negative Output Voltage	Applicable Figures	Fixed Output ±5%		5% Output Adjustable ±10%		
		R1	R2	R1	P1	R2			R1	R2	R1	P1	R2
+3.0	1, 5, 6, 9, 12 (4)	4.12	3.01	1.8	0.5	1.2	+100	7	3.57	102	2.2	10	91
+3.6	1, 5, 6, 9, 12 (4)	3.57	3.65	1.5	0.5	1.5	+250	7	3.57	255	2.2	10	240
+5.0	1, 5, 6, 9, 12 (4)	2.15	4.99	0.75	0.5	2.2	-6 (Note 7)	3, (10)	3.57	2.43	1.2	0.5	0.75
+6.0	1, 5, 6, 9, 12 (4)	1.15	6.04	0.5	0.5	2.7	-9	3, 10	3.48	5.36	1.2	0.5	2.0
+9.0	2, 4, (5, 6, 9, 12)	1.87	7.15	0.75	1.0	2.7	-12	3, 10	3.57	8.45	1.2	0.5	3.3
+12	2, 4, (5, 6, 9, 12)	4.87	7.15	2.0	1.0	3.0	-15	3, 10	3.65	11.5	1.2	0.5	4.3
+15	2, 4, (5, 6, 9, 12)	7.87	7.15	3.3	1.0	3.0	-28	3, 10	3.57	24.3	1.2	0.5	10
+28	2, 4, (5, 6, 9, 12)	21.0	7.15	5.6	1.0	2.0	-45	8	3.57	41.2	2.2	10	33
+45	7	3.57	48.7	2.2	10	39	-100	8	3.57	97.6	2.2	10	91
+75	7	3.57	78.7	2.2	10	68	-250	8	3.57	249	2.2	10	240

TABLE 2. Formulae for Intermediate Output Voltages

Outputs from +2 to +7 volts (Figures 1, 4, 5, 6, 9, 12) $V_{OUT} = \left(V_{REF} \times \frac{R2}{R1 + R2} \right)$	Outputs from +4 to +250 volts (Figure 7) $V_{OUT} = \left(\frac{V_{REF}}{2} \times \frac{R2 - R1}{R1} \right); R3 = R4$	Current Limiting $I_{LIMIT} = \frac{V_{SENSE}}{R_{SC}}$
Outputs from +7 to +37 volts (Figures 2, 4, 5, 6, 9, 12) $V_{OUT} = \left(V_{REF} \times \frac{R1 + R2}{R2} \right)$	Outputs from -6 to -250 volts (Figures 3, 8, 10) $V_{OUT} = \left(\frac{V_{REF}}{2} \times \frac{R1 + R2}{R1} \right); R3 = R4$	Foldback Current Limiting $I_{KNEE} = \left(\frac{V_{OUT} R3}{R_{SC} R4} + \frac{V_{SENSE} (R3 + R4)}{R_{SC} R4} \right)$ $I_{SHORT\ CKT} = \left(\frac{V_{SENSE}}{R_{SC}} \times \frac{R3 + R4}{R4} \right)$

Typical Applications



DS008563-9

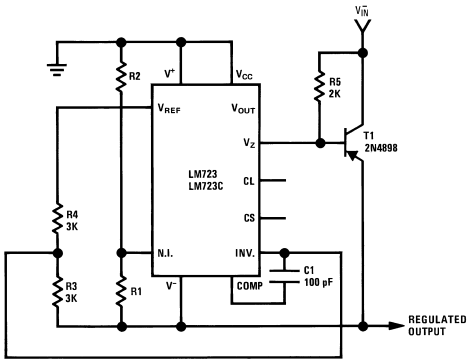
Note: $R3 = \frac{R1 R2}{R1 + R2}$

for minimum temperature drift.
R3 may be eliminated for minimum component count.

Typical Performance

Regulated Output Voltage	15V
Line Regulation ($\Delta V_{IN} = 3V$)	1.5 mV
Load Regulation ($\Delta I_L = 50 \text{ mA}$)	4.5 mV

FIGURE 2. Basic High Voltage Regulator
($V_{OUT} = 7 \text{ to } 37 \text{ Volts}$)

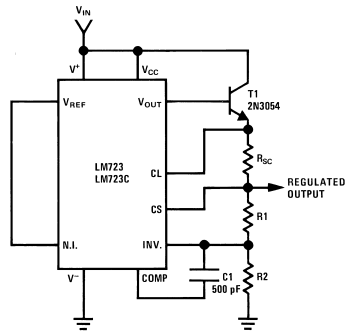


DS008563-10

Typical Performance

Regulated Output Voltage	-15V
Line Regulation ($\Delta V_{IN} = 3V$)	1 mV
Load Regulation ($\Delta I_L = 100 \text{ mA}$)	2 mV

FIGURE 3. Negative Voltage Regulator



DS008563-11

Typical Performance

Regulated Output Voltage	+15V
Line Regulation ($\Delta V_{IN} = 3V$)	1.5 mV
Load Regulation ($\Delta I_L = 1A$)	15 mV

FIGURE 4. Positive Voltage Regulator
(External NPN Pass Transistor)

54ABT373

Octal Transparent Latch with TRI-STATE® Outputs

General Description

The 'ABT373 consists of eight latches with TRI-STATE outputs for bus organized system applications. The flip-flops appear transparent to the data when Latch Enable (LE) is HIGH. When LE is LOW, the data that meets the setup times is latched. Data appears on the bus when the Output Enable (\overline{OE}) is LOW. When \overline{OE} is HIGH the bus output is in the high impedance state.

Features

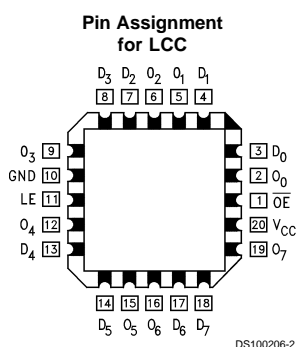
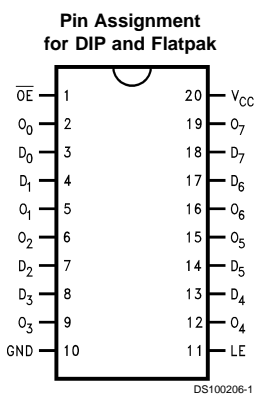
- TRI-STATE outputs for bus interfacing
- Output sink capability of 48 mA, source capability of 24 mA

- Guaranteed multiple output switching specifications
- Output switching specified for both 50 pF and 250 pF loads
- Guaranteed simultaneous switching, noise level and dynamic threshold performance
- Guaranteed latchup protection
- High impedance glitch free bus loading during entire power up and power down
- Nondestructive hot insertion capability
- Standard Microcircuit Drawing (SMD) 5962-9321801

Ordering Code

Military	Package Number	Package Description
54ABT373J-QML	J20A	20-Lead Ceramic Dual-In-Line
54ABT373W-QML	W20A	20-Lead Cerpack
54ABT373E-QML	E20A	20-Lead Ceramic Leadless Chip Carrier, Type C

Connection Diagrams

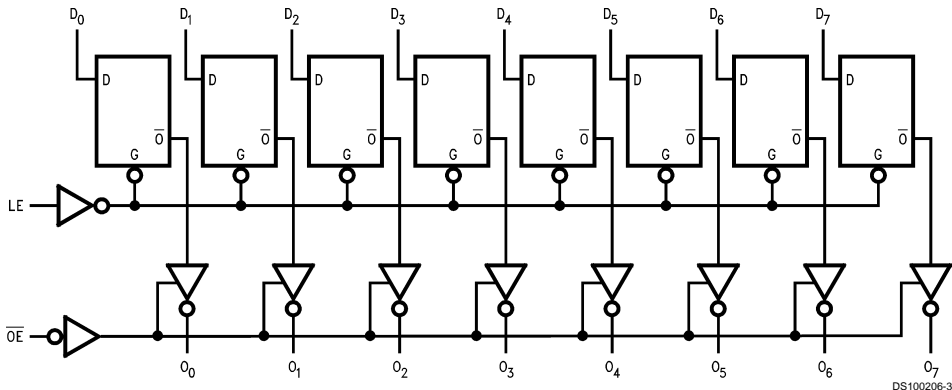


Pin Names	Description
D_0-D_7	Data Inputs
LE	Latch Enable Input (Active HIGH)
\overline{OE}	Output Enable Input (Active LOW)
O_0-O_7	TRI-STATE Latch Outputs

Functional Description

The 'ABT373 contains eight D-type latches with TRI-STATE output buffers. When the Latch Enable (LE) input is HIGH, data on the D_n inputs enters the latches. In this condition the latches are transparent, i.e., a latch output will change state each time its D input changes. When LE is LOW, the latches store the information that was present on the D inputs a setup time preceding the HIGH-to-LOW transition of LE. The TRI-STATE buffers are controlled by the Output Enable (\overline{OE}) input. When \overline{OE} is LOW, the buffers are in the bi-state mode. When \overline{OE} is HIGH the buffers are in the high impedance mode but this does not interfere with entering new data into the latches.

Logic Diagram



DS100206-3

Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

Truth Table

Inputs			Output
LE	\overline{OE}	D_n	O_n
H	L	H	H
H	L	L	L
L	L	X	O_n (no change)
X	H	X	Z

H = HIGH Voltage Level

L = LOW Voltage Level

X = Immaterial

Z = High Impedance State