

סוג הבחינה: בגרות לבתי-ספר על-יסודיים

מועד הבחינה: קיץ תשס"ב, 2002

סמל השאלון: 815201

נספחים: נוסחאון באלקטרוניקה ומחשבים

נספח א' לשאלה 9

נספח ב' לשאלה 9

אלקטרוניקה ומחשבים ג'

שתי יחידות לימוד (השלמה לחמש יחידות לימוד)

(כיתה י"ב)

הוראות לנבחן

א. משך הבחינה: שלוש שעות.

ב. מבנה השאלון ומפתח ההערכה: בשאלון שני פרקים, ובהם תשע שאלות. יש לענות על

חמש שאלות בלבד, שאלה אחת לפחות מכל פרק.

לכל שאלה — 20 נקודות. סך-הכל — 100 נקודות.

ג. חומר עזר מותר לשימוש: מחשבון.

ד. הוראות מיוחדות:

1. ענה על מספר השאלות הנדרש בשאלון. המעריך יקרא ויעריך את מספר השאלות

הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.

2. התחל כל תשובה לשאלה חדשה בעמוד חדש.

3. רשום את כל תשובותיך אך ורק בעט.

4. הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בהירות.

5. כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה שלהן.

6. אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי

שתנמק מדוע הוספת אותם.

7. בכתיבת פתרונות חישוביים, קבלת מִרְב הנקודות מותנית בהשלמת כל המהלכים

הבאים, בסדר שבו הם רשומים:

* רישום הנוסחה המתאימה.

* הצבה של כל הערכים ביחידות המתאימות.

* חישוב (אפשר באמצעות מחשבון).

* רישום התוצאה המתקבלת, ביחד עם יחידות המידה המתאימות.

* ליווי הפתרון החישובי בהסבר קצר.

בשאלון זה 9 עמודים ו-21 עמודי נספחים.

ההנחיות בשאלון זה מנוסחות בלשון זכר,

אך מכוונות לנבחנות ולנבחנים כאחד.

בהצלחה!

השאלות

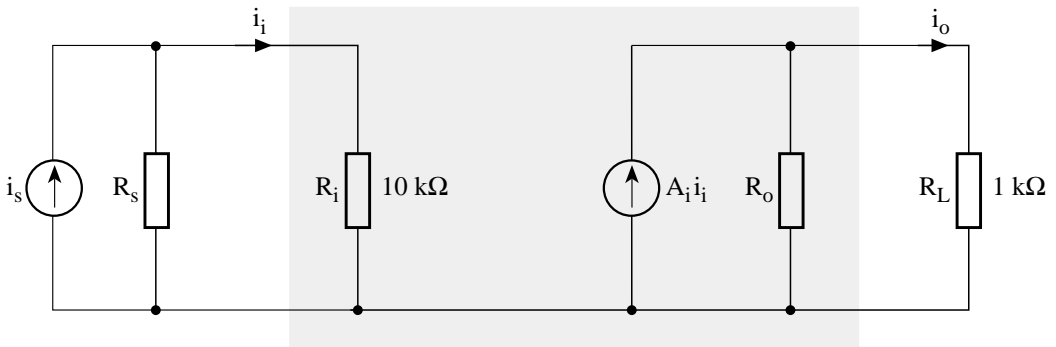
בשאלון שני פרקים ובהם תשע שאלות. יש לענות על חמש שאלות בלבד, שאלה אחת לפחות מכל פרק.

פרק ראשון: אלקטרוניקה תקבילית

ענה על שאלה אחת לפחות מבין השאלות 1-5 (לכל שאלה – 20 נקודות).

שאלה 1

באיור לשאלה 1 נתון מעגל-תמורה של מגבר זרם עם מקור-זרם i_s ועומס R_L . נתון: $A_i = 100$.



איור לשאלה 1

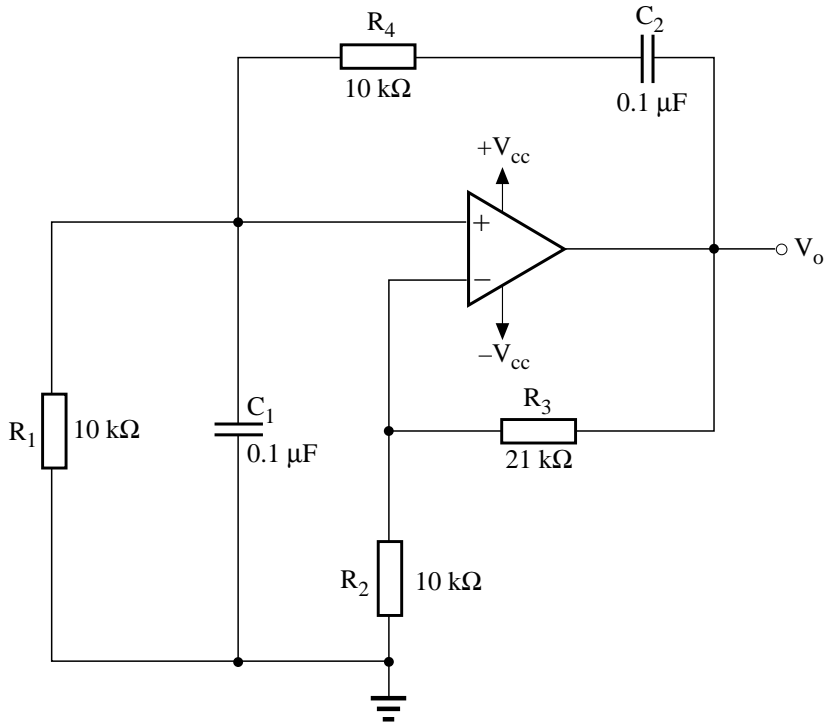
א. חשב את הגבר-הזרם של המעגל $\left(\frac{i_o}{i_s}\right)$, כאשר $R_s \rightarrow \infty$ ו- $R_o \rightarrow \infty$.

ב. חשב את הגבר-הזרם של המעגל $\left(\frac{i_o}{i_s}\right)$, כאשר $R_s = 10 \text{ k}\Omega$ ו- $R_o = 1 \text{ k}\Omega$.

ג. סרטט מעגל חשמלי למדידת התנגדות-המבוא של מגבר, והסבר כיצד מתבצעת המדידה.

שאלה 2

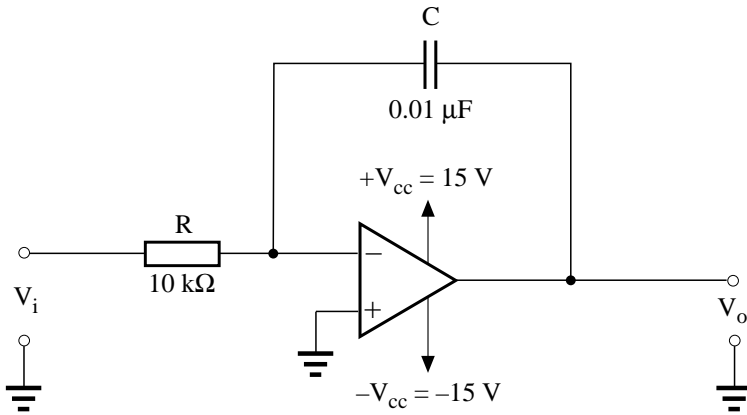
- א. ציין את תנאי ברקהאוזן להיווצרות תנודות במתנד.
- ב. חשב את תדר התנודות של המתנד הנתון באיור לשאלה 2.



איור לשאלה 2

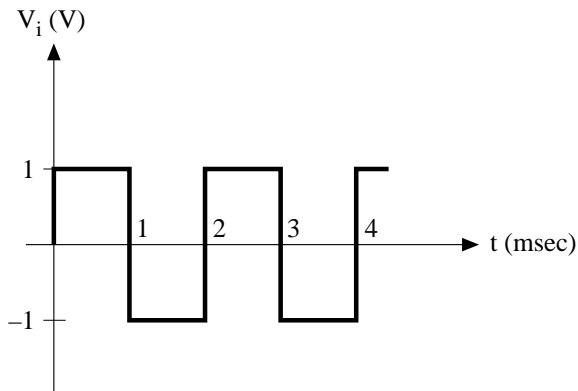
שאלה 3

באיור א' לשאלה 3 נתון תרשים של מגבר סוכם (אינטגרטור), הממומש בעזרת מגבר שרת אידיאלי.



איור א' לשאלה 3

- א. חשב את מתח-המוצא, V_o , לאחר 1 msec, כאשר מתח המבוא, V_i , הוא מתח ישר של 1 V.
- ב. באיור ב' לשאלה מתואר אות מבוא ריבועי, V_i .



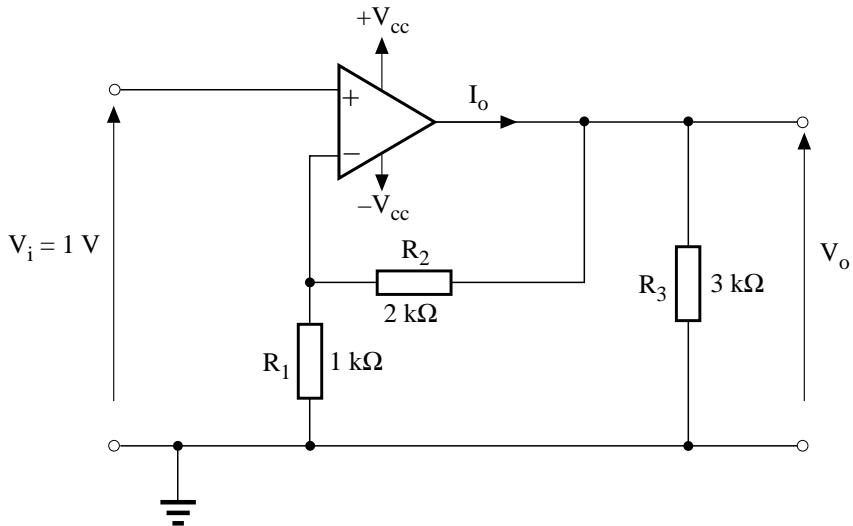
איור ב' לשאלה 3

עבור פרק הזמן עד $t = 4 \text{ msec}$:

- 1. חשב את ערכו המרבי ואת ערכו המזערי של מתח-המוצא, V_o .
- 2. סרטט גרף המתאר את מתח-המוצא, V_o , כפונקציה של הזמן t .

שאלה 4

- א. באיור לשאלה 4 נתון תרשים של מעגל חשמלי, הכולל מגבר שרת אידיאלי. חשב את ערכו של הזרם I_o .



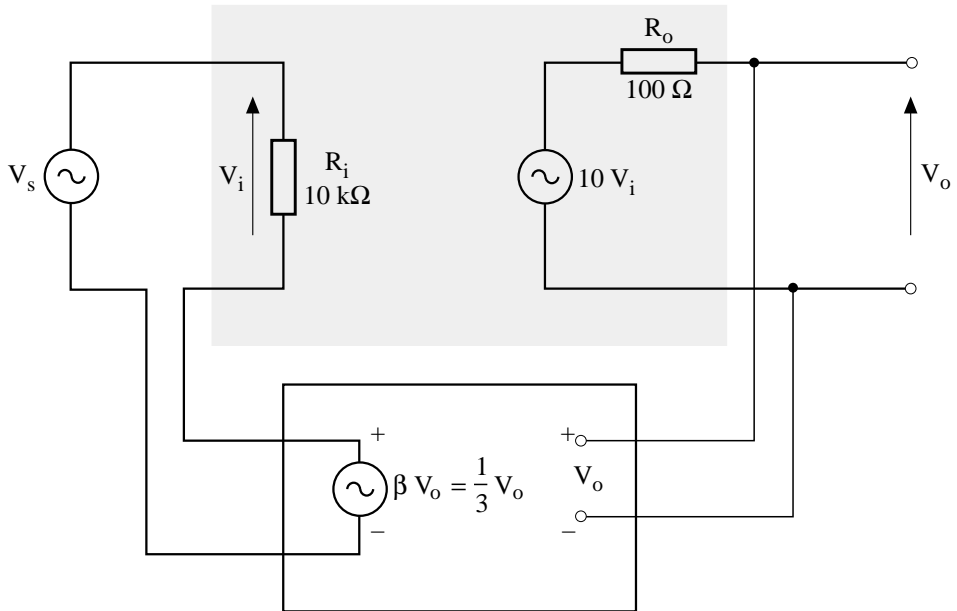
איור לשאלה 4

- ב. הסבר מהו מתח ההיסט במבוא של מגבר שרת לא אידיאלי.
 ג. הסבר את המושג: קצב שינוי מרבי (SLEW RATE) של מתח-המוצא.

שאלה 5

א. כיצד משנה המשוב השלילי במגבר בעל משוב מתח טורי את התנגדות-המבוא, התנגדות המוצא ורוחב-הפס של המגבר?

ב. באיור לשאלה 5 נתון מעגל-תמורה של מגבר בעל משוב מתח טורי.



איור לשאלה 5

חשב את הגבר-המתח של המעגל בחוג פתוח.

ג. חשב את הגבר-המתח בחוג סגור של המעגל שבאיור.

פרק שני: מחשבים ומיקרו-מעבדים

ענה על שאלה אחת לפחות מבין השאלות 6-9 (לכל שאלה – 20 נקודות).

שאלה 6

לפניך תת-שגרה הכתובה בשפת הסף של המיקרו-מעבד 8086/88 :

```

1   M:   MOV   SI, 20H
2           MOV   AL, 0H
3           MOV   CL, [SI]
4   AD:   ADD   AL, [SI + 1]
5           DEC   CL
6           JNZ   AD
7           MOV   [SI + 2], AL
8           RET

```

א. מה מבצעות ההוראות שמספריהן: 4, 6, 7, 8 ?

ב. בטבלה שלפניך נתונים תכני התאים, שכתובותיהם $20H \div 22H$ בסגמנט-הנתונים בזיכרון, לפני ביצוע תת-השגרה.

תוכן-התא	כתובת-התא
06H	20H
03H	21H
2FH	22H

רשום את התכנים של תאים אלו לאחר ביצוע תת-השגרה.

ג. הסבר מה מבצעת תת-השגרה הנתונה.

שאלה 7

א. לפניך תת-שגרה הכתובה בשפת-הסף של המיקרו-מעבד 8086/88 :

```
1  MOV  SP, 108H
2  MOV  AX, 1234H
3  MOV  BX, 5678H
4  PUSH AX
5  PUSH BX
6  POP  AX
7  POP  BX
```

1. מה יהיו תכני האוגרים AX ו-BX לאחר ביצוע תת-השגרה? נמק את תשובתך.

2. מה יהיה תוכן האוגר SP לאחר ביצוע ההוראה שמספרה 5 ? נמק את תשובתך.

ב. להלן קטע מתכנית, הכתובה בשפת-הסף של המיקרו-מעבד 8086/88 :

```
1  MOV  AX, 4E32H
2  OR   AH, AL
3  ADD  AH, 0FFH
```

ציין מה יהיו תכני האוגרים AL ו-AH, לאחר ביצוע כל אחת מן ההוראות 1-3.

ג. רשום את ערכיהם של דגל-הנשא ודגל-האפס לאחר ביצוע קטע התכנית שבסעיף ב'.

שאלה 8

א. הסבר את תפקידי ההדקים האלה במיקרו-מעבד 8086 :

$\overline{M}/\overline{IO}$, NMI , READY

ב. למיקרו-מעבד 8086 מחובר מיפתח קלט שכתובתו 300H , ומיפתח-פלט שכתובתו 301H .

1. רשום את ההוראות הנדרשות על-מנת לקרוא נתון בן שמונה סיביות ממיפתח-הקלט אל המיקרו-מעבד.

2. רשום את ההוראות שבעזרתן ניתן להוציא נתון בן שמונה סיביות מהמיקרו-מעבד אל מיפתח-הפלט.

ג. כתוב תת-שגרה הקוראת נתון בינארי בן שמונה סיביות ממיפתח הקלט שכתובתו 300H , סופרת את מספר סיביות ה-'0' בנתון, ומוציאה מספר זה אל מיפתח-הפלט שכתובתו 301H .

שאלה 9

א. כתוב תת-שגרה בשפת-הסף של המיקרו-מעבד 8086/88 שתבצע את הפעולות שלהלן:

1. סיכום תוכן הבית שכתובתו 2000H עם תוכן הבית שכתובתו 2001H .

2. ביצוע פעולת AND בין הסיכום הנ"ל לבין תוכן הבית שכתובתו 2002H .

3. שמירת התוצאה של פעולה 2 בבית שכתובתו 2003H .

הערה: **כל כתובות הבתים נמצאות בסגמנט הנתונים בזיכרון.**

ב. תאר באמצעות סרטוט כיצד יש לחבר את הרכיב 74LS373 למיקרו-מעבד 8088 , כך שישמש

כמיפתח-פלט בן שמונה סיביות שכתובתו 5000H . הנח שקווי הנתונים של המיקרו-מעבד

הופרדו מקווי הכתובות שלו (אינך נדרש לתאר בסרטוט כיצד לבצע הפרדה זו).

בתשובתך, היעזר בנספחים א' ו-ב' לשאלה 9: בנספח א' מופיע תיאור ההדקים של

המיקרו-מעבד 8088 , ובנספח ב' מפורטים נתוני הרכיב 74LS373 .

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.

אין להעתיק או לפרסם אלא ברשות משרד החינוך.

אין להעביר את הנוסחאון
לנבחן אחר

נוסחאון באלקטרוניקה ומחשבים (19 עמודים)

לרמות א' – ב'

1. נוסחאות באלקטרוניקה תקבילית

חישובי הגבר

הגבר מתח – A_V

מתח מוצא – V_o [V]

מתח מבוא – V_i [V]

$$A_V = \frac{V_o}{V_i}$$

הגבר מתח בדציבלים – A_V [dB]

$$A_V = 20 \log \frac{V_o}{V_i}$$

הגבר זרם – A_I

זרם מוצא – I_o [A]

זרם מבוא – I_i [A]

$$A_I = \frac{I_o}{I_i}$$

הגבר זרם בדציבלים – A_I [dB]

$$A_I = 20 \log \frac{I_o}{I_i}$$

הגבר הספק – A_P

הספק מוצא – P_o [W]

הספק מבוא – P_i [W]

התנגדות נגד העומס – R_L [Ω]

התנגדות מבוא – R_i [Ω]

$$A_P = \frac{P_o}{P_i} = A_V \cdot A_I = A_I^2 \cdot \frac{R_L}{R_i} = A_V^2 \cdot \frac{R_i}{R_L}$$

הגבר הספק בדציבלים – A_P [dB]

$$A_P = 10 \log \frac{P_o}{P_i}$$

הגבר כולל של N דרגות
המחוברות בשרשרת (קסקדה) — A_{VT}

$$A_{VT} = A_{V1} \cdot A_{V2} \cdot A_{V3} \dots A_{VN}$$

$$A_{VT}(\text{dB}) = A_{V1}(\text{dB}) + A_{V2}(\text{dB}) + A_{V3}(\text{dB}) + \dots + A_{VN}(\text{dB})$$

הגבר כולל בדציבלים של N
דרגות המחוברות בשרשרת
(קסקדה) — A_{VT} [dB]

מאזן הספקים

הספק מבוא — P_I [W]

$$P_I + P_{CC} = P_L + P_{diss}$$

הספק נצרך מהספקים — P_{CC} [W]

הספק העומס — P_L [W]

הספק מבזבז — P_{diss} [W]

משוב שלילי

הגבר עם משוב (בחוג סגור) — A_f

$$A_f = \frac{A}{1 + \beta A}$$

הגבר ללא משוב (הגבר חוג פתוח) — A

מקדם משוב — β

משוב מתח טורי

התנגדות מבוא עם משוב — R_{if} [Ω]

$$R_{if} = R_i (1 + \beta A)$$

התנגדות מבוא ללא משוב — R_i [Ω]

התנגדות מוצא עם משוב — R_{of} [Ω]

$$R_{of} = \frac{R_o}{1 + \beta A}$$

התנגדות מוצא ללא משוב — R_o [Ω]

טרנזיסטור דו-נושאי (בתחום פעיל)

בהזנחת זרם הזליגה I_{CBO} :

$$I_C = \beta I_B, \quad I_E = (\beta + 1) I_B, \quad I_E = I_C + I_B$$

זרם קולט – I_C [A]

זרם פולט – I_E [A]

זרם בסיס – I_B [A]

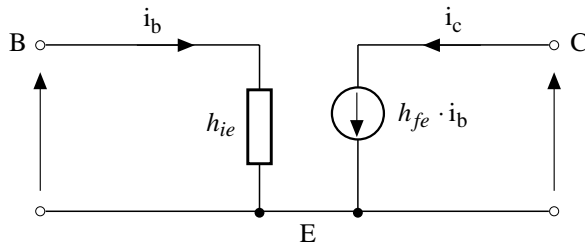
$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}, \quad \beta = \frac{\alpha}{1 - \alpha}$$

בהתחשב בזרם הזליגה I_{CBO} :

I_{CBO} [A] – זרם הזליגה בין הקולט לבסיס,
כאשר הפולט פתוח.

$$I_C = \beta I_B + (\beta + 1) I_{CBO}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



	CE	CE עם נגד R_E
A_I	h_{fe}	h_{fe}
R_i	h_{ie}	$h_{ie} + (1 + h_{fe})R_E$
A_V	$-\frac{h_{fe} \cdot R_L}{h_{ie}}$	$-\frac{h_{fe} \cdot R_L}{R_i}$
R_o	∞	∞

טרנזיסטור FET

- זרם האפיק I_D [A] –
- המתח בין השער למקור V_{GS} [V] –
- מתח צביטה V_p [V] –
- זרם האפיק עבור $V_{GS} = 0$ I_{DSS} [A] –

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$$

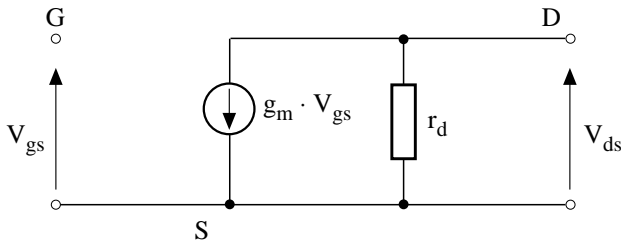
- מוליכות החדית g_m $\left[\frac{1}{\Omega} \right]$ –

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{GS}}{V_p} \right)$$

- מוליכות החדית עבור $V_{GS} = 0$ g_{m0} $\left[\frac{1}{\Omega} \right]$ –

$$g_{m0} = \frac{2I_{DSS}}{|V_p|}$$

תרשים תמורה מקורב של טרנזיסטור תוצא שדה – FET



- הגבר הטרנזיסטור בחיבור CS (מקור משותף) A_V –

$$A_V = -g_m \cdot (r_d || R_L)$$

- הגבר הטרנזיסטור בחיבור CD (מפק משותף) A_V –

$$A_V \approx \frac{g_m \cdot R_s}{1 + (g_m + g_d) R_s}$$

- נגד בטור למקור R_s $[\Omega]$ –

$$g_d = \frac{1}{r_d}$$

דיודה

- זרם הדיודה — I_D [A]
- מתח הדיודה — V_D [A]
- זרם רוויה אחורי — I_S [A]
- מקדם $\eta = \begin{cases} 1 & -G_e \text{ (גרמניום)} \\ 2 & -S_i \text{ (סיליקון)} \end{cases}$
- טמפרטורה — T [°K]

$$I_D = I_S \left(e^{V_D / \eta V_T} - 1 \right)$$

$$V_T = \frac{T}{11,600}$$

מגבר הפרש

- הפרש מתחי המבוא — V_d [V]
- ממוצע מתחי המבוא — V_c [V]
- הגבר הפרשי — A_d
- הגבר האות המשותף — A_c

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$



כאשר $V_1 = -V_2 = V_i$

$$A_d = \frac{V_o}{V_d} \Big|_{V_c=0} = \frac{V_o}{2V_i}$$

כאשר $V_1 = V_2 = V_i$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d=0} = \frac{V_o}{V_i}$$

יחס דחיית האות המשותף — CMRR

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

מגברי הספק

$$P_L = V_{L\text{eff}} \cdot I_{L\text{eff}} = \frac{V_{L\text{max}} \cdot I_{L\text{max}}}{2} = \frac{V_{L\text{eff}}^2}{R_L} = I_{L\text{eff}}^2 \cdot R_L$$

הספק העומס — P_L [W]

מתח יעיל על העומס — $V_{L\text{eff}}$ [V]

זרם יעיל בעומס — $I_{L\text{eff}}$ [A]

מתח עומס שיאי — $V_{L\text{max}}$ [V]

זרם עומס שיאי — $I_{L\text{max}}$ [A]

נגד עומס — R_L [Ω]

ההספק הנצרך מהספק — P_{CC} [W]

הזרם הממוצע — I_{av} [V]

מתח המקור — V_{CC} [V]

$$P_{CC} = V_{CC} \cdot I_{av}$$

הזרם הממוצע של גל פועם — I_{av} [A]

זרם שיא — I_{max} [A]

$$I_{av} = \frac{2 \cdot I_{max}}{\pi}$$

הספק מבזבז בטרניזיסטור — P_D [W]

$$P_D = P_{cc} - P_L$$

נצילות — η

$$\eta = \frac{P_L}{P_{cc}}$$

מתח שיא — V_{max}

נצילות במגבר הספק — η

מסוג CLASS B

$$\eta = \frac{\pi}{4} \cdot \frac{V_{max}}{V_{CC}}$$

הספק פיזור מרבי בשני — P_{Cmax} [W]

הטרניזיסטורים במגבר

מסוג CLASS B

$$P_{Cmax} = \frac{2 \cdot V_{CC}^2}{\pi^2 \cdot R_L}$$

מגברי שרת

סוכם (INTEGRATOR)

$$\Delta V_o = \Delta V_c = \frac{-I_c \cdot t}{c}$$

- ΔV_o – השינוי במתח-המוצא
- I_c – הזרם הקבוע בקבל
- t – זמן טעינת הקבל

מגבר מהפך

$$A_V = - \frac{R_f}{R_1}$$

- R_f – נגד המשוב
- R_1 – הנגד המחובר לכניסת המהפכת

מגבר עוקב

$$A_V = 1 + \frac{R_f}{R_1}$$

- R_f – נגד המשוב
- R_1 – הנגד היוצא מהכניסה המהפכת לאדמה

מתנד גשר ויין

$$f_o = \frac{1}{2\pi R \cdot C}$$

- f_o [Hz] – תדר התנודות

- A_V – הגבר המתח

$$A_V \geq 3$$

2. אוסף פקודות למיקרו-מעבדים 8086/88

מקרא לאוגר הדגלים:

- X – מושפע מהפעולה
- 0 – מתאפס
- U – לא מוגדר אחרי הפעולה (Undefined)
- 1 – מקבל "1"
- R – מוחזר מהמחסנית

ADC	ADC destination, source Add with carry			Flags
				O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	ADC AX, SI
register, memory	9(10)+EA	1	2-4	ADC CX, BETA [SI]
memory, register	16(10)+EA	2	2-4	ADC ALPHA [BX] [SI], DI
register, immediate	4(4)	—	3-4	ADC BX, 256
memory, immediate	17(16)+EA	2	3-6	ADC GAMMA, 30H
accumulator, immediate	4(3-4)	—	2-3	ADC AL, 5

ADD	ADD destination, source Addition			Flags
				O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	ADD CX, DX
register, memory	9(10)+EA	1	2-4	ADD DI, [BX].ALPHA
memory, register	16(10)+EA	2	2-4	ADD TEMP, CL
register, immediate	4(4)	—	3-4	ADD CL, 2
memory, immediate	17(16)+EA	2	3-6	ADD ALPHA, 2
accumulator, immediate	4(3-4)	—	2-3	ADD AX, 200

AND	AND destination, source Logical and			Flags
				O D I T S Z A P C 0 X X U X 0
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	AND AL, BL
register, memory	9(10)+EA	1	2-4	AND CX, FLAG_WORD
memory, register	16(10)+EA	2	2-4	AND ASCII [DI], AL
register, immediate	4(4)	—	3-4	AND CX, 0F0H
memory, immediate	17(16)+EA	2	3-6	AND BETA, 01H
accumulator, immediate	4(3-4)	—	2-3	AND AX, 01010000B

CALL	CALL target Call a procedure			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
near-proc	19(14)	1	3	CALL NEAR_PROC
far-proc	28(23)	2	5	CALL FAR_PROC
memptr 16	21(19)+EA	2	2-4	CALL PROC_TABLE [SI]
regptr 16	16(13)	1	2	CALL AX
memptr 32	37(38)+EA	4	2-4	CALL [BX], TASK [SI]

CLC	CLC (no operands) Clear carry flag			Flags O D I T S Z A P C 0
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLC

CLI	CLI (no operands) Clear interrupt flag			Flags O D I T S Z A P C 0
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLI

CMP	CMP destination, source Compare destination to source			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	CMP BX, CX
register, memory	9(10)+EA	1	2-4	CMP DH, [ALPHA]
memory, register	9(10)+EA	1	2-4	CMP [BP+2], SI
register, immediate	4(3)+EA	—	3-4	CMP BL, 02H
memory, immediate	10(10)+EA	1	3-6	CMP RADAR [BX], [DI], 3420H
accumulator, immediate	4(3-4)	—	2-3	CMP AL, 00010000B

CMPS	CMPS des-string, source-string Compare string			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
dest-string, source-string (repeat)	22(22)	2	1	CMPS BUSS1, BUFF2
dest-string, source-string	9+22/rep (5+22/rep)	2/rep	1	REPE CMPS ID, KEY

DAA	DAA (no operands) Decimal adjust for addition			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAA

DAS	DAS (no operands) Decimal adjust for subtraction			Flags O D I T S Z A P C U X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAS

DEC	DEC destination Decrement by 1			Flags O D I T S Z A P C X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	DEC AX
reg 8	3(3)	—	2	DEC AL
memory	15(15)+EA	2	2-4	DEC ARRAY [SI]

DIV	DIV source Division, unsigned			Flags O D I T S Z A P C U U U U U U
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	80-90(29)	—	2	DIV CL
reg 16	144-162(38)	—	2	DIV BX
mem 8	86-96+EA (35)	1	2-4	DIV [ALPHA]
mem 16	150-168+ EA(94)	1	2-4	DIV TABLE [SI] / DIV [TABLE + SI]
IN	IN accumulator, port Input byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, immed 8	10(10)	1	2	IN AL, 0FEH / IN AX, OFEH
accumulator, DX	8(8)	1	1	IN AL, DX / IN AX, DX
INC	INC destination Increment by 1			Flags O D I T S Z A P C X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	INC CX
reg 8	3(3)	—	2	INC BL
memory 8	15(15)+EA	2	2-4	INC ALPHA [DI] [BX]
INT	INT interrupt-type Interrupt			Flags O D I T S Z A P C 0 0
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8 (type=3)	52(45)	5	1	INT 3
immed 8 (type≠3)	52(47)	5	2	INT 67
IRET	IRET (no operands) Interrupt Return			Flags O D I T S Z A P C R R R R R R R R
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	32(28)	3	1	IRET

JC	JC short-label Jump if carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JC CARRY_SET

JE/JZ	JE/JZ short-label Jump if equal/Jump if zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JZ ZERO

JMP	JMP target Jump			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	15(13)	—	2	JMP SHORT
near-label	15(13)	—	3	JMP WITHIN_SEGMENT
far-label	15(13)	—	5	JMP FAR_LABEL
memptr 16	18(17)+EA	1	2-4	JMP [BX] TARGET
regptr 16	11(11)	—	2	JMP CX
memptr 32	24(26)+EA	2	2-4	JMP OTHER_SEG

JNC	JNC short-label Jump if not carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNC NOT_CARRY

JNE/JNZ	JNE/JNZ short-label Jump if not equal/Jump if not zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNE NOT_EQUAL

LEA	LEA destination, source Load effective address			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16, mem 16	2(6)+EA	—	2-4	LEA BX, [BP] [DI]

LOOP	LOOP short-label Loop			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short label	17/5(15/5)	—	2	LOOP AGAIN

MOV	MOV destination, source Move			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
memory, accumulator	10(9)	1	3	MOV ARRAY [SI], AL
accumulator, memory	10(8)	1	3	MOV AX, TEMP_RESULT
register, register	2(2)	—	2	MOV AX, CX
register, memory	8(12)+EA	1	2-4	MOV BP, STACK_TOP
memory, register	9(9)+EA	1	2-4	MOV COUNT [DI], CX
register, immediate	4(3-4)	—	2-3	MOV CL, 2
memory, immediate	10(12-13) +EA	1	3-6	MOV MASK [BX] [SI], 2CH
seg-reg, reg 16	2(2)	—	2	MOV ES, CX
seg-reg, mem 16	8(9)+EA	1	2-4	MOV DS, SEGMENT_BASE
reg 16, seg-reg	2(2)	—	2	MOV BP, SS
memory, seg-reg	9(11)+EA	1	2-4	MOV [BX] SEG_SAVE, CS

MOVSB/MOVSW	MOVSB/MOVSW (no operands) Move string (byte/word)			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	18(9)	2	1	MOVSB
(repeat) (no operands)	9+17/rep (8+8/rep)	2/rep	1	REP MOVSW

MUL	MUL source Multiplication, unsigned			Flags O D I T S Z A P C X U U U X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	70-77 (26-28)	—	2	MUL BL
reg 16	118-133 (35-37)	—	2	MUL CX
mem 8	76-83+ EA(32-34)	1	2-4	MUL MONTH [SI]
mem 16	124-139+ EA(41-43)	1	2-4	MUL [BAUD_RATE]

NOP	NOP (no operands) No Operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	3(3)	—	1	NOP

NOT	NOT destination Logical not			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	3(3)	—	2	NOT AX
memory	16(3)+EA	2	2-4	NOT [CHARACTER]

OR	OR destination, source Logical inclusive or			Flags O D I T S Z A P C 0 X X U X 0
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	OR AL, BL
register, memory	9(10)+EA	1	2-4	OR DX, PORT_ID [DI]
memory, register	16(10)+EA	2	2-4	OR FLAG_BYTE, CL
accumulator, immediate	4(3-4)	—	2-3	OR AL, 01101100B
register, immediate	4(4)	—	3-4	OR CX, 01H
memory, immediate	17(16)+EA	2	3-6	OR [BX], CMD_WORD

OUT	OUT port, accumulator Output byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8, accumulator	10(9)	1	2	OUT 44, AX
DX, accumulator	8(7)	1	1	OUT DX, AL

POP	POP destination Pop word off stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	8(10)	1	1	POP DX
seg-reg (CS illegal)	8(8)	1	1	POP DS
memory	17(20)+EA	2	2-4	POP [PARAMETER]

PUSH	PUSH source Push word onto stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	11(10)	1	1	PUSH SI
seg-reg (CS legal)	10(9)	1	1	PUSH ES
memory	16(16)+EA	2	2-4	PUSH RETURN_CODE [SI]

RCL	RCL destination, count Rotate left through carry			Flags O D I T S Z A P C X C
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCL CX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCL AL, CL
memory, 1	15(15)+EA	2	2-4	RCL ALPHA, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCL [BP].PARAM, CL

RCR	RCR destination, count Rotate right through carry			Flags O D I T S Z A P C X C
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCR BX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCR BL, CL
memory, 1	15(15)+EA	2	2-4	RCR [BX].STATUS, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCR ARRAY [DI], CL

REP	REP (no operands) Repeat string operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	REP MOVS DEST, SRCE

RET	RET optional-pop-value Return from procedure			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(intra-segment, no pop)	16(16)	1	1	RET
(intra-segment, pop)	20(18)	1	3	RET 4
(inter-segment, no pop)	26(22)	2	1	RET
(inter-segment, pop)	25(25)	2	3	RET 2

ROL	ROL destination, count Rotate left			Flags	O D I T S Z A P C X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, 1	2(2)	—	2	ROL BX, 1	
register, CL	8+4/ bit(5+1/bit)	—	2	ROL DI, CL	
memory, 1	15(15)+EA	2	2-4	ROL FLAG_BYTE [DI], 1	
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROL ALPHA, CL	

ROR	ROR destination, count Rotate right			Flags	O D I T S Z A P C X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, 1	2(2)	—	2	ROR BX, 1	
register, CL	8+4/ bit(5+1/bit)	—	2	ROR BX, CL	
memory, 1	15(15)+EA	2	2-4	ROR PORT_STATUS, 1	
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROR CMD_WORD, CL	

SBB	SBB destination, source Subtract with borrow			Flags	O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, register	3(3)	—	2	SBB BX, CX	
register, memory	9(10)+EA	1	2-4	SBB DI, [BX].PAYMENT	
memory, register	16(10)+EA	2	2-4	SBB BALANCE, AX	
accumulator, immediate	4(3-4)	—	2-3	SBB AX, 2	
register, immediate	4(4)	—	3-4	SBB CL, 1	
memory, immediate	17(16)+EA	2	3-6	SBB COUNT [SI], 10	

STC	STC (no operands) Set carry flag			Flags O D I T S Z A P C 1
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STC

STI	STI (no operands) Set interrupt enable flag			Flags O D I T S Z A P C 1
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STI

SUB	SUB destination,source Subtraction			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	SUB CX, BX
register, memory	9(10)+EA	1	2-4	SUB DX, MATH_TOTAL [SI]
memory, register	16(10)+EA	2	2-4	SUB [BP+2], CL
accumulator, immediate	4(3-4)	—	2-3	SUB AL, 10
register, immediate	4(4)	—	3-4	SUB SI, 5280

TEST	TEST destination, source Test or non-destructive logical and			Flags O D I T S Z A P C X X U X 0
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	TEST SI, DI
register, memory	9(10)+EA	1	2-4	TEST SI, END_COUNT
accumulator, immediate	4(3-4)	—	2-3	TEST AL, 00100000B
register, immediate	5(4)	—	3-4	TEST BX, 0CC4H
memory, immediate	11(10)+EA	—	3-6	TEST [RETURN_COUNT], 01H

XCHG	XCHG destination, source Exchange			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, reg 16	3(3)	—	1	XCHG AX, BX
memory, register	17(17)+EA	2	2-4	XCHG SEMAPHORE, AX
register, register	4(4)	—	2	XCHG AL, BL

XLAT	XLAT source-table Translate			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
source-table	11(11)	1	1	XLAT ASCII_TAB

XOR	XOR destination, source Logical exclusive or			Flags O D I T S Z A P C 0 X X U X 0
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	XOR CX, BX
register, memory	9(10)+EA	1	2-4	XOR CL, MASK_BYTE
memory, register	16(10)+EA	2	2-4	XOR ALPHA [SI], DX
accumulator, immediate	4(3-4)	—	2-3	XOR AL, 01000010B
register, immediate	4(4)	—	3-4	XOR SI, 00C2H
memory, immediate	17(16)+EA	2	3-6	XOR RETURN_CODE, 0D2H

8088 8-BIT HMOS MICROPROCESSOR 8088/8088-2

- 8-Bit Data Bus Interface
- 16-Bit Internal Architecture
- Direct Addressing Capability to 1 Mbyte of Memory
- Direct Software Compatibility with 8086 CPU
- 14-Word by 16-Bit Register Set with Symmetrical Operations
- 24 Operand Addressing Modes
- Byte, Word, and Block Operations
- 8-Bit and 16-Bit Signed and Unsigned Arithmetic in Binary or Decimal, Including Multiply and Divide
- Two Clock Rates:
 - 5 MHz for 8088
 - 8 MHz for 8088-2
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel 8088 is a high performance microprocessor implemented in N-channel, depletion load, silicon gate technology (HMOS-II), and packaged in a 40-pin CERDIP package. The processor has attributes of both 8- and 16-bit microprocessors. It is directly compatible with 8086 software and 8080/8085 hardware and peripherals.

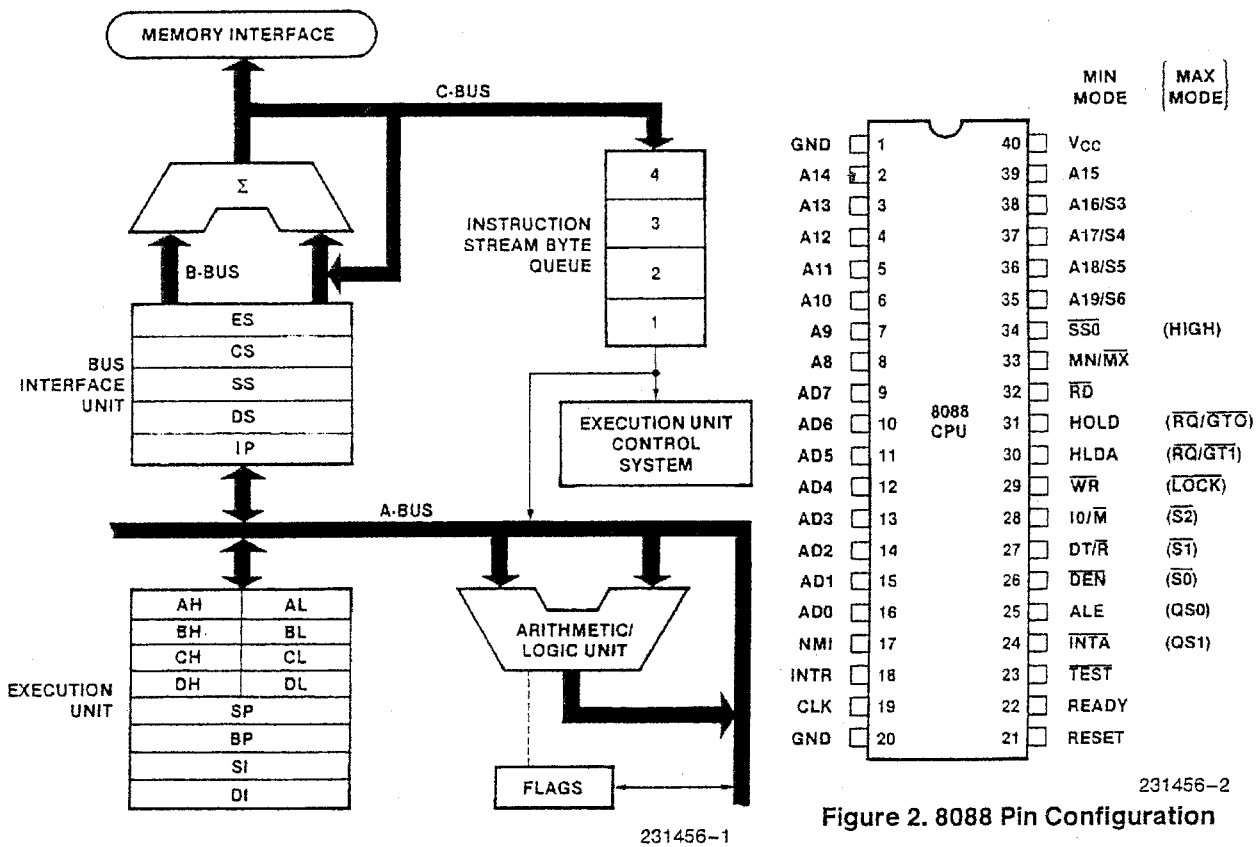


Figure 1. 8088 CPU Functional Block Diagram

Figure 2. 8088 Pin Configuration

DESCRIPTION – The SN54LS/74LS373 consists of eight latches with 3-state outputs for bus organized system applications. The flip-flops appear transparent to the data (data changes asynchronously) when Latch Enable (LE) is HIGH. When LE is LOW, the data that meets the setup times is latched. Data appears on the bus when the Output Enable (OE) is LOW. When OE is HIGH the bus output is in the high impedance state.

The SN54LS/74LS374 is a high-speed, low-power Octal D-type Flip-Flop featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A buffered Clock (CP) and Output Enable (\overline{OE}) is common to all flip-flops. The SN54LS/74LS374 is manufactured using advanced Low Power Schottky technology and is compatible with all Motorola TTL families.

- **EIGHT LATCHES IN A SINGLE PACKAGE**
- **3-STATE OUTPUTS FOR BUS INTERFACING**
- **HYSTERESIS ON LATCH ENABLE**
- **EDGE-TRIGGERED D-TYPE INPUTS**
- **BUFFERED POSITIVE EDGE-TRIGGERED CLOCK**
- **HYSTERESIS ON CLOCK INPUT TO IMPROVE NOISE MARGIN**
- **INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS**

PIN NAMES

D_0 – D_7	Data Inputs
LE	Latch Enable (Active HIGH) Input
CP	Clock (Active HIGH going edge) Input
\overline{OE}	Output Enable (Active LOW) Input
O_0 – O_7	Outputs (Note b)

LOADING (Note a)

	HIGH	LOW
D_0 – D_7	0.5 U.L.	0.25 U.L.
LE	0.5 U.L.	0.25 U.L.
CP	0.5 U.L.	0.25 U.L.
\overline{OE}	65(25)U.L.	15(7.5)U.L.

NOTES

- 1 TTL Unit Load (U.L.) – 40 μ A HIGH/1.6 mA LOW.
- The Output LOW drive factor is 7.5 U.L. for Military and 25 U.L. for Commercial (74) Temperature Ranges. The Output HIGH drive factor is 25 U.L. for Military (54) and 65 U.L. for Commercial (74) Temperature Ranges.

TRUTH TABLE

LS 373

Dn	LE	\overline{OE}	On
H	H	L	H
L	H	L	L
X	X	H	Z*

LS 374

Dn	CP	\overline{OE}	On
H	\uparrow	L	H
L	\uparrow	L	L
X	X	H	Z*

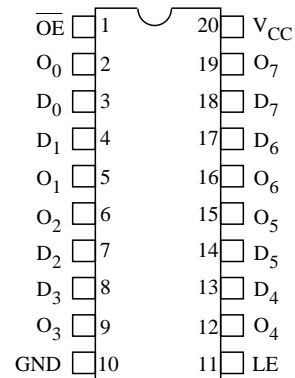
H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Immaterial
 Z = High Impedance

* Note: Contents of flip-flops unaffected by the state of the Output Enable input (\overline{OE}).

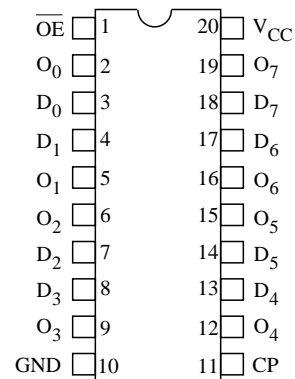
SN54/74LS373
SN54/74LS374

OCTAL TRANSPARENT LATCH WITH 3-STATE OUTPUTS; OCTAL D-TYPE FLIP-FLOP WITH 3-STATE OUTPUT LOW POWER SCHOTTKY

CONNECTION DIAGRAM DIP (TOP VIEW)
SN54LS/74LS373



CONNECTION DIAGRAM DIP (TOP VIEW)
SN54LS/74LS374



J Suffix – Case 732–03 (Ceramic)
 N Suffix – Case 738–03 (Plastic)

NOTE:
 The Flatpak version has the same pinouts (Connection Diagram) as the Dual in-Line Package.